

## 【特許請求の範囲】

【請求項1】 入力セルを受信してこの受信セルのセル種別及びコネクション情報に基き当該セルの送出時刻を予め定められた最適送出演算アルゴリズムに従って算出するようにしたセル送出時刻算出装置であって、前記最適送出演算アルゴリズムを実行する第1及び第2の演算手段と、前記第1及び第2の演算手段の演算結果を比較監視する監視手段とを含み、これ等監視結果に応じて前記演算結果の正否を判定する様にしたことを特徴とするセル送出時刻算出装置。

【請求項2】 前記監視手段は前記第1及び第2の演算手段の演算途中の判断結果をも比較監視するよう構成されていることを特徴とする請求項1記載のセル送出時刻算出装置。

【請求項3】 前記第1及び第2の演算手段に共通に設けられ前記最適送出演算アルゴリズムを実行するに必要なパラメータを予め格納したパラメータ格納手段を含み、前記第1及び第2の演算手段は前記セル種別及びコネクション情報に基き前記パラメータ格納手段からパラメータを読み出すようにしたことを特徴とする請求項1または2記載のセル送出時刻算出装置。

【請求項4】 請求項1～3いずれか記載のセル送出時刻算出装置と、前記受信セルを格納しこの格納セルを順次昇順または降順にかつ循環的に読出すよう構成された格納手段と、この格納手段の書込みアドレスを前記第1の演算手段の演算結果に応じて生成制御する書込みアドレス制御手段とを含むことを特徴とするセル送出装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はセル送出時刻算出装置及びセル送出装置に関し、特にATM(Asynchronous Transfer Mode: 非同期転送モード)通信システムにおいて使用されるATMクロスコネクト装置等の複数のコネクションのデータをセル単位で伝送する装置におけるセル送出時刻算出装置及びセル送出装置に関するものである。

## 【0002】

【従来の技術】現在、音声、画像、データ等のマルチメディアを伝送する技術としてATM通信方式が実用化されている。このATM通信方式はセルと呼ばれる固定長パケットを用いて異種情報の多重／交換機能を有すると共に、高速伝送を可能とするシステムである。

【0003】このATMの特徴として以下のことが挙げられる。すなわち、任意異速度の多重が可能であること、統計多重効果を用いることにより、ランダムに発生するバーストデータの効率収容が可能であること、非階層化多重化により網の設計、運用、管理をシンプルにすることが可能であること、遅延にゆらぎが存在すること、セル損失が発生すること、チャネルの設定とその容量設定とを切離して行えること、等である。

【0004】ATM網では、複数のコネクションを扱うために、SW(交換)部やMUX(多重化)部にバッファが設けられている。網にバースト的なデータが入力された場合、伝送密度に差が生じ、SW部やMUX部のバッファに負担がかかる。そこで、これを避けるためにこのバースト的なデータを一定間隔に整形するためのシェーピングメモリを用いて、データすなわちATMセルの送出時刻を演算制御するシェーピング処理が行われる。

【0005】このシェーピングのためのセル送出時刻演算を行うアルゴリズムの例として、CDV(Cell Delay Variation:セル遅延変動幅)削減型アルゴリズムがある。このアルゴリズム演算の判定処理が正しく行われているかどうかを監視する必要がある、このアルゴリズム監視機能を有するシェーピング処理機能の従来例を、図7に示す。

【0006】図7を参照すると、セル識別部11は入力データからセルの種類及びコネクション番号を識別するものであり、これ等セル種類及びコネクション番号はセルヘッダ部に予め書込まれている。シェーピング用セルメモリ12は入力データを理想(最適)送出時刻まで保存するメモリであり、送出制御部13はこのメモリ12からのセルを読出すものである。

【0007】このメモリ12の読出しアドレスは、送出制御部13により順次昇順(または降順)にかつ循環的に変化する様になっており、リングメモリ構造とされている。このメモリ12の書込みアドレスはアルゴリズム演算部16により演算された最適送出時間に対応したアドレス値とされる。

【0008】すなわち、リングメモリ12の読出しは、上述した如く、一定周期で昇順(または降順)にかつ循環的に変化する読出しアドレスにより順次実行されているから、書込みアドレスを所望に指定して受信データ(セル)をこの書込みアドレスに格納しておくことで、この書込みアドレスに対応した時間に当該受信データ(セル)は読出されて送出されることになるのである。

【0009】監視パターン生成部14はアルゴリズム演算部16の監視のための監視パターンを有する監視セルを生成するものであり、セクタ部15はセル識別部11の識別結果と監視パターン生成部14の監視セルを選択するものである。

【0010】アルゴリズム演算部16は入力(受信)セルまたは監視セルの種別とコネクション番号とから入力セルまたは監視セルの理想送出時刻を、予め定められたアルゴリズムに従って演算処理し、この演算結果が応じた書込みアドレスをメモリ12へ出力する。

【0011】演算用&パラメータ用メモリ17は各コネクションの演算値やパラメータを保存するメモリであり、演算監視部18は監視セル挿入時のアルゴリズム演算部16の演算結果と監視パターン生成部14での演算期待値とを比較して、不一致時にアラーム出力を生成する

ものである。

【0012】図7において、入力されたセルはセル識別部11で入力セルのヘッダ情報よりセルの種類とコネクション番号が識別されセクタ部15に出力されると共に入力データがシェーピング用セルメモリ12に出力される。シェーピング用セルメモリ12では、セル識別部11より入力されたデータをアルゴリズム演算部16より出力された書込みアドレスを基にメモリに書込む。

【0013】送出制御部13では、シェーピング用セルメモリ12から順次データを読出すが、該当読出しアドレスにデータが書かれていない場合は読出しを停止し、代わりに空きセルを外部に出力する。

【0014】監視パタン生成部14では、セル識別部11が装置内を定期的に監視している装置内セルの1つである周期セルを検出した場合、セクタ部15に監視したい処理フローに対応したセル及び監視用のパラメータ(図3(A)に示すTET, Ts,  $\tau s$ )を出力する。また同時に、演算処理部18に監視用パラメータを使用した処理フローでの演算結果の期待値を出力する。

【0015】セクタ部15では、通常、セル識別部11からのセル種別を選択しアルゴリズム演算部16に出力するが、セル識別部11が周期セルを検出した場合、監視パタン生成部14から出力されたセル及び監視用パラメータを選択し、アルゴリズム演算部16に出力する。

【0016】アルゴリズム演算部16では、セクタ部15から出力された、セル種別とコネクション番号及び演算用&パラメータ用メモリ17から読出した各コネクションのデータからCDV削減型アルゴリズム演算(図2及び図3(B)に夫々示す(a)~(d)の各処理フロー)を行い、到着セルの理想送出時刻を求め、シェーピング用セルメモリ12に書込みアドレスとして出力する。また、セル識別部11が周期セルを検出した場合、監視用のセル及びパラメータで演算を行う。

【0017】演算用&パラメータ用メモリ17では、各コネクションの演算データ及びパラメータデータを保存する。演算監視部18では、セル識別部11が周期セルを検出した場合のみ、監視パタン生成部14から出力された監視用セル及びパラメータによるアルゴリズム演算部16での演算結果と監視パタン生成部14から出力された演算結果の期待値を比較し、不一致が検出された場合、アラームを外部に通知する。

【0018】図7の従来例のアルゴリズム監視動作の詳細について、図2のフローチャート及び図3の補足説明図を参照して説明する。通常、アルゴリズム演算部16において、セル識別部11から出力されたセル種別とコネクション番号及び演算メモリ、パラメータメモリ17から読出されたデータを基に図2, 3のCDV削減型アルゴリズムの処理フローを行う。

【0019】シェーピング部に周期セルが入力された場

合、監視パタン生成部14より図2, 3のCDV削減型アルゴリズムの処理フローにおける処理フロー(a)の処理を行うセル及びパラメータ(TET, Ts,  $\tau s$ )をセクタ部15を通してアルゴリズム演算部16に入力させ、同時に演算監視部18に演算用パラメータを使用した場合の処理フロー(a)での演算結果の期待値を出力する。

【0020】演算監視部18では、アルゴリズム演算部16より出力された監視用パラメータを使用した演算結果と監視パタン生成部14より出力された処理フロー

(a)を通った場合の演算結果の期待値とを比較し、処理フロー(a)の監視を行う。

【0021】次の周期セルでは、処理フロー(b)の監視用のセル及びパラメータをアルゴリズム演算部16に入力し、同様の手順で処理フロー(b)の監視を行う。その次の周期セルでは処理フロー(c)の監視、更にその次の周期セルでは処理フロー(d)の監視と順次処理フローの監視を行うことにより演算回路全体の監視を行う。

【0022】この従来の自己監視方式では、周期セルが周期的(125 $\mu s$ 周期)に装置内を監視するセルなので、アルゴリズム演算用のパラメータ(TET, Ts,  $\tau s$ )を変化させることにより、全てのシェーピング動作(処理フロー)でのアルゴリズム演算を行うことができ、また、演算結果の期待値も予め想定することが可能であるので、この期待値とアルゴリズム演算部からの演算結果を比較することにより自己監視を行っている。

【0023】

【発明が解決しようとする課題】上述の従来技術では、CDV削減型アルゴリズム演算を装置内セルの1つである周期セルを利用し自己監視を行っている。周期セルは周期的に到着する装置内セルであるため、CDV削減型アルゴリズム演算を行わずそのまま外部に出力することで、その時間を利用し、代わりに監視用のセル及びパラメータをアルゴリズム演算部16に入力させることで監視を行っている。

【0024】周期セルを利用した自己監視では、予め監視したいシェーピング動作(処理フロー)のセル及びパラメータをセットしておくので監視パタンに漏れが少なく、周期セルという周期的に入力される装置内でセルを利用することで、ユーザのデータ流量に影響されず定期監視が可能である。しかし、周期セルは8KHz周期の監視セルであるため監視間隔が125 $\mu s$ と長く、即時検出という面で問題がある。また、監視するセルパタンが増えた場合、全てのパタンに対応した監視を行うと、それに伴って監視間隔も延びるという問題もある。

【0025】本発明の目的は、アルゴリズム演算部の故障検出をほぼリアルタイムで実現可能としたセル送出時刻算出装置及びセル送出装置を提供することである。

【0026】

【課題を解決するための手段】本発明によれば、入力セルを受信してこの受信セルのセル種別及びコネクション情報に基き当該セルの送出時刻を予め定められた最適送出演算アルゴリズムに従って算出するようにしたセル送出時刻算出装置であって、前記最適送出演算アルゴリズムを実行する第1及び第2の演算手段と、前記第1及び第2の演算手段の演算結果を比較監視する監視手段とを含み、これ等監視結果に応じて前記演算結果の正否を判定する様にしたことを特徴とするセル送出時刻算出装置が得られる。

【0027】また、前記監視手段は前記第1及び第2の演算手段の演算途中の判断結果をも比較監視するよう構成されていることを特徴としており、更に、前記前記第1及び第2の演算手段に共通に設けられ前記最適送出演算アルゴリズムを実行するに必要なパラメータを予め格納したパラメータ格納手段とを含み、前記第1及び第2の演算手段は前記セル種別及びコネクション情報に基き前記パラメータ格納手段からパラメータを読み出すようにしたことを特徴としている。

【0028】また、本発明によれば、前記セル送出時刻算出装置と、前記受信セルを格納しこの格納セルを順次昇順または降順にかつ循環的に読出すよう構成された格納手段と、この格納手段の書込みアドレスを前記第1の演算手段の演算結果に応じて生成制御する書込みアドレス制御手段とを含むことを特徴とするセル送出装置が得られる。

【0029】本発明の作用を述べる。シェーピング部におけるアルゴリズム演算部分を二重化構成とし、演算結果や処理フロー途中の判断結果を比較することにより、アルゴリズム演算部のリアルタイムの故障検出を可能とする。

#### 【0030】

【発明の実施の形態】以下に図面を用いて本発明の実施例について説明する。

【0031】図1は本発明の実施例のブロック図であり、図7と同等部分は同一符号により示している。図1において、入力されたセルはセル識別部11で入力セルのヘッダ情報よりセルの種類とコネクション番号が識別され、アルゴリズム演算部16A及び16Bに出力されると共に、入力データはシェーピング用セルメモリ12に出力される。

【0032】シェーピング用セルメモリ12では、アドレス制御部19から出力された書込みアドレスを基に、入力データがメモリに書込まれる。送出制御部13では、シェーピング用メモリセル12から順次データを読み出すが、該当読出しアドレスにデータが書かれていない場合は読出しを停止し、代りに空きセルを外部に出力する。

【0033】アルゴリズム演算部16Aでは、セル識別部11から出力された、セル種別とコネクション番号及

び演算用&パラメータ用メモリ17から読出した各コネクションのデータからCDV削減型アルゴリズム演算を行い、到着セルの理想（最適）送出時刻を求め、アドレス制御部19に書込みアドレスとして出力すると共に、また、演算結果を演算監視部18に出力する。

【0034】アルゴリズム演算部16Aでも同様に、セル識別部11から入力された、セル種別とコネクション番号を基にCDV削減型アルゴリズム演算を行い、到着セルの理想送出時刻を求め、演算監視部18に演算結果を出力する。演算用&パラメータ用メモリ17では、各コネクションの演算データ及びパラメータデータを保存する。

【0035】演算監視部18では、アルゴリズム演算部16A、16Bから出力された演算結果及び処理フロー途中の判断結果を比較し、不一致が検出された場合、アラームを外部に通知すると共に、アドレス制御部19に出力する。アドレス制御部19では、通常、アルゴリズム演算部16Aより出力された書込みアドレスをシェーピング用セルメモリ12に出力するが、演算監視部18よりアラームが入力された場合は到着時刻を書込みアドレスに変換して、シェーピング用セルメモリ12に出力する。

【0036】図2のCDV削減型アルゴリズムの処理フロー及び図3の補足説明図を用いて本発明での監視方式を説明する。アルゴリズム演算部16Aにおいて、セル識別部11から出力されたセル種別とコネクション番号及び演算用&パラメータ用メモリ17から読出された該当コネクションのデータを基に図2、3のCDV削減型アルゴリズムの処理フローを行う。

【0037】本発明では、処理フロー中の3つの判断結果（「ユーザセル？」：USRORNOT, 「TET>t a+t s？」：TETLGTS, 「t o<t a？」：TALGTO）と演算結果（理想送出時刻：t o, 理論的送出時刻：TET）と一緒に演算監視部18に出力し、また、アルゴリズム演算部16Bでも同様に、判断結果及び演算結果を演算監視部18に出力する。演算監視部18では、2つのアルゴリズム演算部から出力された判断結果及び演算結果を比較し、不一致ならアラームを外部に出力する。

【0038】図4に正常時のシェーピング動作の一例を示しており、図中の数字は時刻を表すものとする。時刻20に到着したセルA1は処理フロー（b）の演算後、時刻20に出力される。時刻50に到着したセルA2は処理フロー（a）の演算後、時刻80にシェーピングされて出力される。時刻120に到着したセルA3は処理フロー（a）の演算後、時刻150にシェーピングされて出力される。時刻250に到着したセルA4は処理フロー（b）の演算後、時刻250に出力される。時刻280に到着したセルA5は処理フロー（b）の演算後、時刻310にシェーピングされて出力される。時刻42

0に到着したセルA6は処理フロー(b)の演算後、時刻420に出力される。時刻460に到着したセルA7は処理フロー(a)の演算後、時刻480にシェーピングされて出力される。時刻490に到着したセルA8は処理フロー(a)の演算後、時刻550にシェーピングされて出力される。

【0039】このように予め設定しておいた最小セル間隔( $T_s$ )より短い間隔で入力されたセルはCDV削減型アルゴリズム演算後、最適な間隔に整形されて出力される。

【0040】図5に従来方式での異常時のシェーピング動作の一例を示す。故障の発生する時刻160までは図4の正常時のシェーピング動作と同様である。時刻160の時にアルゴリズム演算部16のCDV削減型アルゴリズム演算回路が故障し、判断「 $TET > ta + \tau s$  ?」の結果がYesしか出力しなくなったとする。時刻250に到着したセルA4は本来なら、判断「 $TET > ta + \tau s$  ?」の結果がNoであるので、処理フロー(b)の演算を行い時刻250に出力されるが、演算回路の故障により、判断「 $TET > ta + \tau s$  ?」の結果がYesとなるため、処理フロー(a)の演算を行い時刻220に出力される。しかし、時刻220は到着時刻250より以前であるため、次の時計周期の時刻220となる。

【0041】次に、時刻280に到着したセルA5は正常時と同じフロー(a)の演算を行うが、前のセルA4の理論的送出時刻( $TET$ )が間違っているため、セルA5の理想送出時刻( $to$ )及び理論的送出時刻( $TET$ )も正常値の値からずれた値となる。また、セルA4は次の周期の時刻220に出力されるため、セルA5と出力順の逆転が起こる。

【0042】時刻420に到着したセルA6もセルA4と同様に本来なら、判断「 $TET > ta + \tau s$  ?」の結果がNoであるので、処理フロー(b)演算を行い時刻420に出力されるが、演算結果の故障により、判断「 $TET > ta + \tau s$  ?」の結果がYesとなるため、処理フロー(a)の演算を行い時刻360に出力される。しかし、時刻360は到着時刻420より以前であるため、次の時計周期の360となる。ここでもセルA4と同様にセルの出力順の逆転が起こる。

【0043】次に、時刻450で処理フロー(b)の監視パターンが入力され、処理フロー(b)の故障が検出される。故障検出後に到着したセルA7、A8はCDV削減型アルゴリズム演算を行わず、そのまま出力される。この従来の方式では故障発生から故障検出までの間に故障部分の演算を行うセルが到着した場合、シェーピング動作が機能するだけでなく、セルの順序の逆転が起こる等の問題があった。

【0044】図6に本発明での異常時のシェーピング動作の一例を示す。故障の発生する時刻160までは図4の正常時のシェーピング動作と同様である。時刻160

の時にアルゴリズム演算部16AのCDV削減型アルゴリズム演算回路が故障し、判断「 $TET > ta + \tau s$  ?」の結果がYesしか出力しなくなったとする。

【0045】アルゴリズム演算部16Bにおいて、時刻250に到着したセルA4は本来なら、判断「 $TET > ta + \tau s$  ?」の結果がNoであるので、処理フロー

(b)の演算を行い理想送出時刻( $to$ )は250となるが、演算回路の故障により、判断「 $TET > ta + \tau s$  ?」の結果がYesとなるため、処理フロー(a)の演算を行い理想送出時刻( $to$ )は220となり、図2の処理フローの判断結果( $TETLGTAS$ )も1となる。

【0046】しかし、アルゴリズム演算部16Bは、演算回路が故障していないため、正常な演算を行い理想送出時刻( $to$ )は250となり、図2の処理フローの判断結果( $TETLGTAS$ )も0となる。これにより演算監視部18では、演算結果( $to$ )と判断結果( $TETLGTAS$ )が不一致となり、アラームを通知すると共に、シェーピング用セルメモリへの書込みアドレスを到着時刻に変更し、CDV削減型アルゴリズム演算を行わない状態で出力する。セルA5からA8でも同様の処理を行い、故障時でもセルの出力順を換えることなく動作させることが可能となる。

【0047】

【発明の効果】以上述べた如く、本発明によれば、アルゴリズム演算部を二重化し、これ等演算部の演算結果や途中の判定結果等を比較することにより、故障検出を行っているため、リアルタイムでの故障検出が可能となり、また途中の判断結果をも比較することにより、演算結果が正しくても途中の判断結果が間違っている場合にも故障検出ができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】CDV削減型アルゴリズムの処理フロー例を示す図である。

【図3】図2の処理フローの補足説明のための図である。

【図4】本発明の正常時のシェーピング動作の例を示す図である。

【図5】従来方式の異常時のシェーピング動作の例を示す図である。

【図6】本発明の異常時のシェーピング動作の例を示す図である。

【図7】従来のシェーピング部の構成を示すブロック図である。

【符号の説明】

11 セル識別部

12 シェーピング用セルメモリ

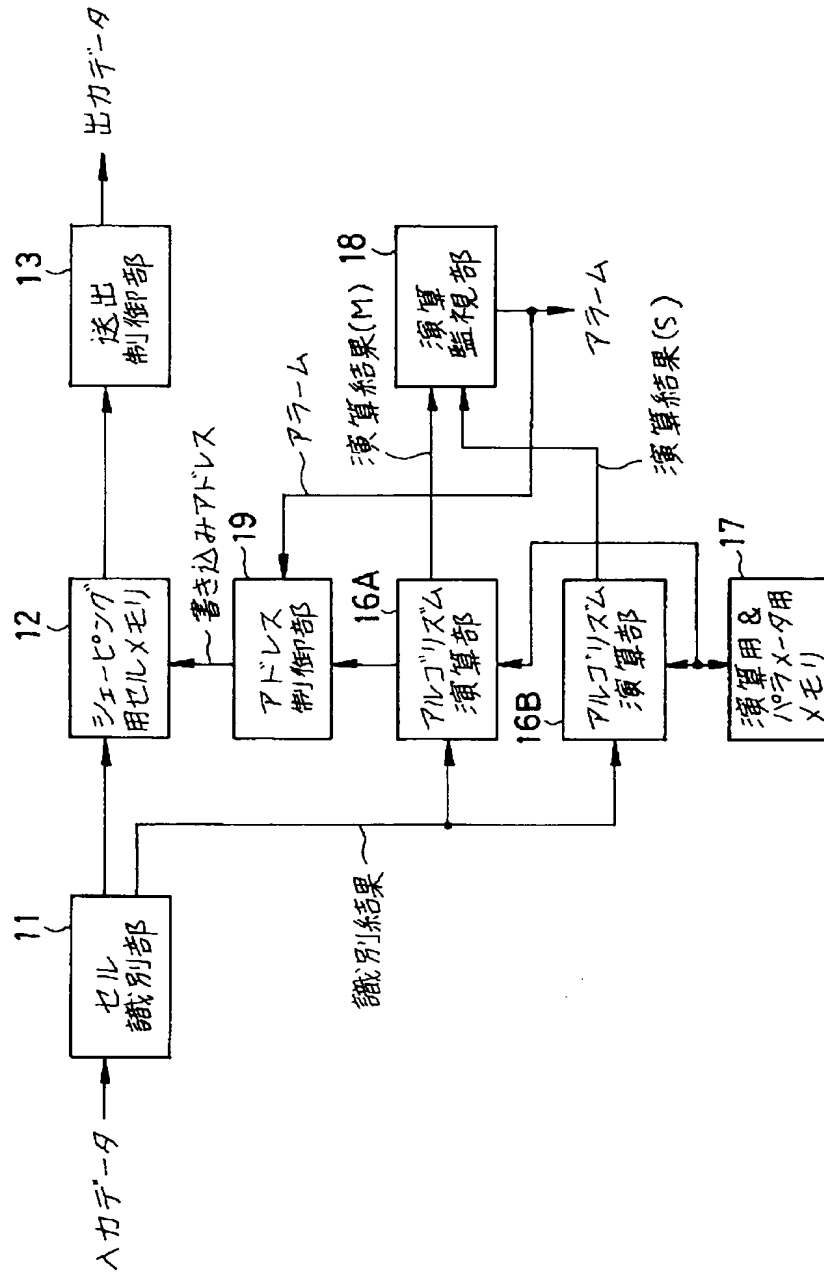
13 送出制御部

16A, 16B アルゴリズム演算部

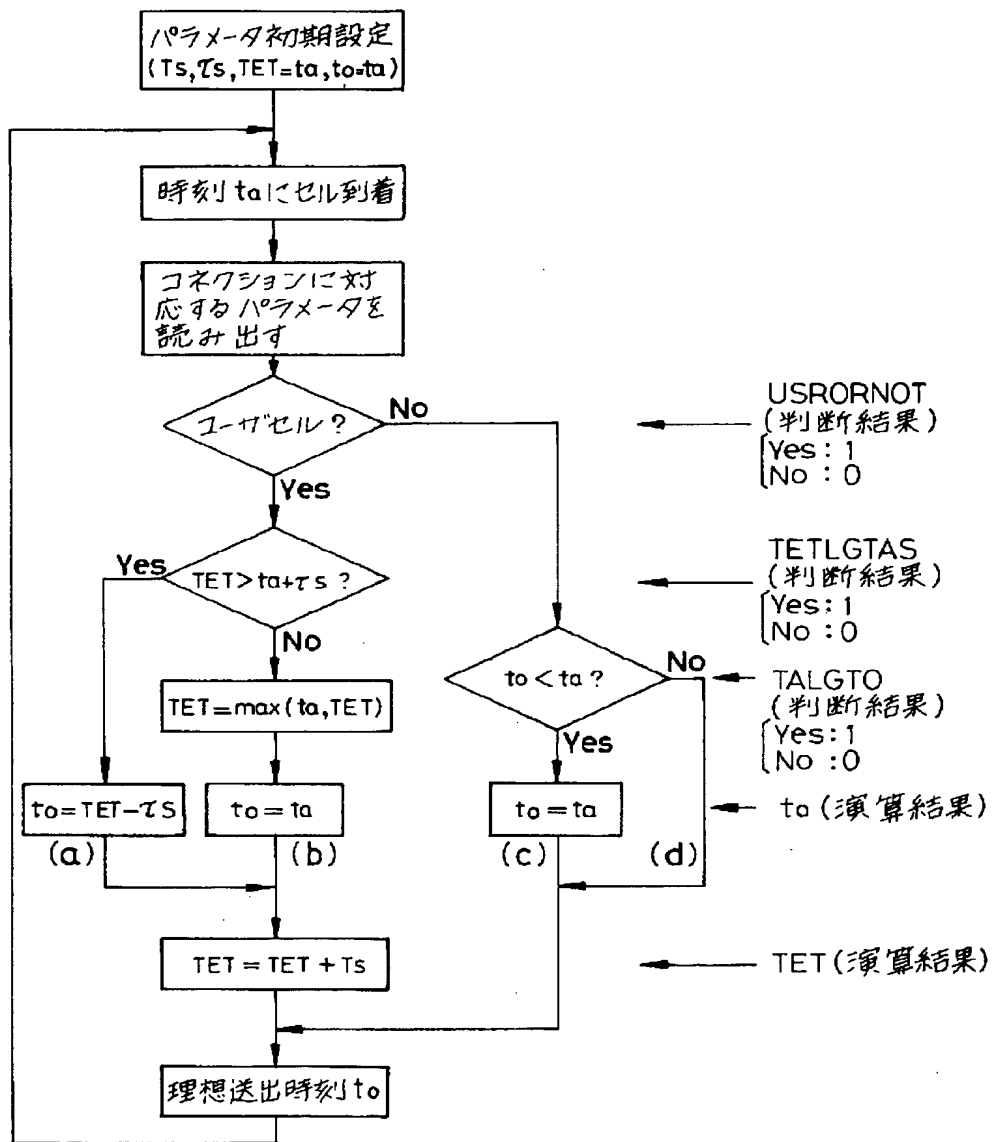
17 演算用&amp;パラメータ用メモリ

18 演算監視部

【図1】



【図2】



【図3】

(A)

演算用パラメータ

$T_s$	最小セル間隔
$\tau_s$	残留可能なCDV許容値
TET	理論的送出時刻
$t_a$	セルの到着時刻
$t_o$	理想送出時刻

(B)

各処理フローの判断条件

処理フロー	ユーザセル?	$TET > t_a + \tau_s$ ?	$t_a < t_o$ ?
(a)	Yes	Yes	Don't Care
(b)	Yes	No	Don't Care
(c)	No	Don't Care	Yes
(d)	No	Don't Care	No







